

KOREAN PATENT ABSTRACT (KR)

Patent Laid-Open Gazette

(51) IPC Code: G06F 1/08

(11) Publication No.: P1998-079958

(43) Publication Date: 25 November 1998

(21) Application No.: 10-1998-007410

(22) Application Date: 06 March 1998

(71) Applicant:

Lucent Technologies Inc.

600 Mountain Avenue, Murray Hill, NJ 07974-0636 USA,

(72) Inventor:

Grundbig Jeffrey Paul

(54) Title of the Invention:

Low-Power high-Precision Clock Circuit and Integrated Circuit Clocking Method

Abstract:

A clock circuit provides a clock of a high-precision crystal oscillator interfaced with an off-chip crystal to provide a high-precision clock signal to an integrated circuit, and an internal low-power oscillator provides a low-power clock source. One clock can be selected to drive a programmable processor under a program control. When high precision and stability are required, the crystal oscillator can be selected as a processor clock, and when low power is required, a high-precision clock is disabled and the low-power oscillator can be selected as a processor clock. The high-precision oscillator is used to clock a first timer circuit, and the low-power oscillator is used to clock a second timer circuit. An output of the second timer circuit is synchronized with the processor clock, and the programmable processor can use the second timer circuit even when the processor clock is synchronized with a second timer clock. When the high-precision oscillator is selected as a timing source for the programmable processor and the first timer circuit and the low-power oscillator clocks the second timer circuit, the programmable processor under the program control can effectively measure a frequency of the on-chip low-power oscillator according to a frequency of the high-precision clock. Accordingly, when the high precision clock is disabled, the programmable processor can more exactly use the low-power oscillator.

특1998-079958

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G06F 1/08

(11) 공개번호 특1998-079958
(43) 공개일자 1998년11월25일

(21) 출원번호	특1998-037410
(22) 출원일자	1998년03월06일
(30) 우선권주장	0/816,014 1997년03월11일 미국(US)
(71) 출원인	루센트 테크놀로지스 인코포레이티드 앨런 와이즈
(72) 발명자	미국, 뉴저지 07974-0636, 머레이 험, 마운틴 애비뉴 600 그런드비그 제프리미 홀
(74) 대리인	미국, 펜실베이니아 18062, 매켄기, 헬크레스트 드라이브 7262 이병호, 최달용

심사청구 : 있음

(54) 저전력 고정밀 클럭 회로 및 집적 회로 클럭 방법

요약

클럭 회로는 고정밀 클럭 신호를 제공하도록 오프-칩 수정에 인터페이스되는 고정밀 수정 발진기 클럭을 집적 회로에 제공하며, 내부의 저전력 발진기는 저전력 클럭 소스를 제공한다. 어느 한 클럭이 프로그램 제어하에서 프로그램가능 프로세서를 구동하도록 선택될 수 있다. 높은 정밀도 및 안정도가 요구될 때에는, 수정 발진기가 프로세서 클럭으로서 선택될 수 있으며, 낮은 전력이 요구될 때에는 고정밀 클럭이 디스에이밍되고 저전력 발진기가 프로세서 클럭으로서 선택될 수 있다. 고정밀 발진기는 제 1 타이머 회로를 클럭하는데 이용되며, 저전력 발진기는 제 2 타이머 회로를 클럭하는데 이용된다. 제 2 타이머 회로 출력은 프로세서 클럭에 동기화되어, 프로그램가능 프로세서는 프로세서 클럭이 제 2 타이머 클럭에 동기화되는 경우라도 제 2 타이머 회로를 이용할 수 있다. 고정밀 발진기가 프로그램가능 프로세서 및 제 1 타이머 회로에 대해 타이밍 소스로서 선택되고, 저전력 발진기가 제 2 타이머 회로를 클럭할 때, 프로그램 제어하의 프로그램가능 프로세서는 고정밀 클럭의 주파수와 관련하여 온-칩 저전력 발진기의 주파수를 효과적으로 측정할 수 있다. 따라서, 고정밀 클럭이 디스에이밍될 때, 프로그램가능 프로세서는 저전력 발진기를 보다 정확하게 이용할 수 있다.

도면

도1

발명자

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예를 도시하는 블록도.
도 2는 본 발명의 또다른 실시예를 도시하는 블록도.
도면의 주요 부분에 대한 부호의 설명

10 ; 외부 클럭	12 ; 고정밀 발진기
14 ; 평활화 멀티플렉서	16 ; 타이머 A
18 ; 프로그램가능 프로세서	20 ; 동기화기
22 ; 타이머 B	24 ; 내부 저전력 발진기

발명의 상세한 설명

발명의 목적

발명에 속하는 기술 및 그 분야의 종래기술

본 발명은 저전력 집적 회로 분야에 관한 것으로, 특히 집적 회로용 저전력 하이브리드 클럭 회로에 관한 것이다.

당 기술 분야에 일반적으로 공지된 바와 같이, 집적 회로(ICs)는 주어진 시스템에 대한 정확한 클럭을 제공하기 위해 수정 발진기 클럭 회로를 종종 활용한다. 수정 발진기 클럭 회로는 시스템에 대한 보다 정확한 클럭을 제공하기 위해 오프-칩(즉, IC 외부) 성분을 활용한다. 하지만, 그러한 오프-칩 성분은 예외없이 칩 자신의 전력 요구를 증가시키며, 따라서 특정 응용에 있어서는 바람직하지 않다. 결과적으로,

많은 전력에 민감한 응용에 있어서는 저전력 집적된 또는 온-칩 발진기 디자인과 같은 다른 형태의 클럭 회로가 활용된다.

하지만, 이러한 저전력 온-칩 발진기 디자인은 보다 높은 전력 소비의 오프-칩 성분에 의해 제공되는 정확도가 없게 된다. 실제로, 온-칩 발진기 주파수의 디바이스에서 디바이스로의 변화는 ICs의 제조에 있어서 고유의 처리 변동에 따라 상당히 변화한다. 결과적으로, 그러한 저전력 온-칩 발진기 디자인은 대부분의 통신 설비에 있어서 바람직하지 않다.

이제까지, 저전력 고정밀의 클럭 회로를 만들고자하는 시도가 있어왔다. 그러한 시도는 1995년 7월 4일 Sgankar 등에 의해 발표된 저전력 모드 및 이에 대한 클럭 증폭기 회로를 갖는 집적 회로라는 제목의 미국특허번호 5,430,393에 기재된 집적 회로를 포함한다. 이러한 미국특허에 공개된 집적 회로는 클럭 증폭기의 적어도 한 스위치 인버터가 정지 신호에 응답하여 디스에이블되는 저전력 모드를 갖는다. 정지 신호는 집적 회로가 저전력 모드에 있음을 나타낸다. 한 실시예에 있어서, 각각의 스위치된 인버터 스테이지는 상보형 금속 산화막 반도체(CMOS) 스위치된 인버터이며, 여기에서 추가 P-채널 트랜지스터는 인버터 P-채널 트랜지스터의 소스와 포지티브 전원 공급 전압 단자 사이에 접속되고, 추가 N-채널 트랜지스터는 인버터 N-채널 트랜지스터의 소스와 네가티브 전원 공급 전압 단자 사이에 접속된다. 비-전환된 인버터 스테이지는 클럭 증폭기의 전환점에 가까운 클럭 입력 신호의 DC 값을 유지하도록 저전력 모드 동안에 활성상태를 유지한다. 하지만, 이러한 클럭 입력 신호의 DC 값을 유지하는 것과는 다르게, 상기 회로는 경과된 시간을 결정하는 다른 수단을 갖지 않는다. 더욱이, 정지 신호는 단지 발진기 자신 안에 관련할 뿐이며, 시스템 클럭과는 무관하다.

IC 클럭 회로에 요구된 전력을 낮추기 위한 다른 시도는 1992년 6월 30일자로 Abe 등에 의해 발표된, 클럭 발진기에 의해 요구되는 것 보다 낮은 인가 전압으로 동작되는 반도체 집적 회로 장치 라는 제목의 미국특허번호 5,126,695를 포함한다. 상기 미국 특허는 내부 회로용 내부 시스템 클럭 신호로 활용되는 제 1 클럭 신호를 발생하기 위해 제 1 전압으로 구동되는 제 1 발진기 회로를 포함하는 반도체 집적 회로 장치를 공개한다. 제 2 발진기 회로는 제 2 클럭 신호를 발생하기 위해 제 1 전압 보다 낮은 제 2 전압에 의해 구동된다. 전압 부스트 회로는 제 2 클럭 신호에 기초하여 스텝 업 전압을 발생하며, 스텝 업 전압은 제 1 전압 보다 높고, 회로 소스 전압으로서 내부 회로 및 제 1 발진기 회로에 인가된다. 또다른 실시예에 있어서, 발진 검출 회로는 제 1 발진기 회로가 발진 또는 비-발진 상태에 있는지를 검출하여, 제 1 발진기 회로가 비-발진 상태에 있을 때 제 1 형태의 클럭 선택 제어 신호를 발생하고, 제 1 발진기 회로가 발진 상태에 있을 때 제 2 형태의 클럭 선택 제어 신호를 발생한다. 클럭 신호 선택 회로는 출력을 위해 제 2 또는 제 1 클럭 신호를 각각 선택하도록 제 1 또는 제 2 형태의 클럭 선택 제어 신호를 수신하기 위해 접속된다. 발진 검출 회로는 제 1 발진기 회로가 그 발진 상태에 있을 때 제 2 발진기 회로의 발진을 중지하도록 적합된다. 하지만, 이러한 장치는 그 목적을 위해 두 전원 공급 장치 및 선택 회로를 필요로 한다.

따라서, 여전히 저전력 고정밀의 클럭 회로와, 발진기 클럭 신호를 집적 회로에 제공하는 방법에 대한 당 분야의 필요성이 존재한다. 또한, 전체적인 집적 회로에 값비싸거나 과도하게 복잡한 회로를 추가하지 않고서 그러한 디자인을 제공하고, 현재의 제조 기술로 용이하게 제조될 수 있는 그러한 회로 구성을 제공하는 것이 요구된다.

본 발명이 이루고자하는 기술적 과제

본 발명의 상기 및 다른 특징은 일반적으로, 내부의 저전력 발진기가 집적된 클럭 소스를 제공하며, 고정밀의 클럭을 제공하도록 온-칩 수정 수단에 인터페이스되는 고정밀의 수정 발진기를 포함하는 집적 회로용 고정밀 저전력 클럭 회로에서 얻어질 수 있다. 프로그램 제어하에서 프로세서를 구동하도록 어느 한 클럭이 선택될 수 있다. 고정밀 및 안정도가 요구될 때, 수정 발진기는 프로세서 클럭으로서 선택될 수 있으며, 저전력이 요구될 때, 고정밀 클럭이 디스에이블되면서 저전력 발진기가 프로세서 클럭으로서 선택될 수 있다.

고정밀 발진기는 제 1 타이머 회로(이후, 타이머 A 회로)를 클럭하도록 이용되며, 저전력 발진기는 제 2 타이머 회로(이후, 타이머 B 회로)를 클럭하도록 이용된다. 타이머 B 회로의 출력은 프로세서 클럭에 동기화되어, 프로세서 클럭이 타이머 B 회로에 비동기화될 때에도 프로세서는 타이머 B 회로를 활용할 수 있다. 고정밀 발진기가 프로세서 및 타이머 A 회로에 대한 타이밍 소스로서 선택되고, 저전력 발진기가 타이머 B를 클럭할 때, 프로그램 제어하에서 프로세서는 고정밀 클럭의 주파수로 인하여 온-칩 저전력 발진기의 주파수를 효과적으로 측정할 수 있다. 온-칩 저전력 발진기의 주파수가 결정된다면, 프로그램 제어하에 프로세서는 어떠한 타이밍 문제도 결정할 수 있으며, 저전력 클럭이 프로세서 클럭으로서 선택되고 고정밀 클럭이 전력 보존을 위해 디스에이블될 때에도 보다 높은 정밀도에서 시스템이 동작할 수 있게 한다. 그러므로, 온-칩 저전력 발진기의 절대 주파수를 제어하는 것 보다는, 본 발명의 이중 클럭 구조는 프로세서의 프로그램 제어를 사용하여 주파수 변화가 용이하게 측정되고 고려될 수 있게 한다.

본 발명은 또한 클럭을 가능한 많은 논리로 턴 오프하고 클럭을 다시 턴 온하는 더욱 실제적이고 효과적인 방법에 의해 전력을 보존하게 된다. 프로그램 제어를 통하여, 프로세서는 정지설정 제어 신호를 통해 효과적으로 턴 오프 및 턴 온을 실행한다. 프로세서는 원하는 간격을 카운트 마운트하여, 디스에이블 제어 신호를 통해 고정밀 발진기를 턴 오프하고, 정지클럭 제어 신호를 통해 고정밀 프로세서 클럭을 정지하도록 타이머 B 회로를 구동한다. 타이머 B 회로는 그 클럭 소스로서 저전력 발진기를 사용하여 작동하므로, 모든 다른 회로가 완전한 정지상태에 들어있는 동안에도 저전력 모드에서의 동작을 지속하게 된다. 타이머 B 회로가 이전에 특정한 간격을 카운트 마운트할 때, 고정밀 발진기는 정지제거 제어 신호를 통해 프로세서 클럭 소스로서 다시 턴 온되고, 프로세서는 진행할 수 있게 된다.

따라서, 본 발명은 상술된 종래 기술의 장치 및 방법의 단점을 극복하게 한다.

본 발명의 상기 및 다른 특징은 첨부된 도면과 상세한 설명에 의해 보다 양호하게 이해될 수 있을 것이다.

발명의 구성 및 작용

도 1은 본 발명의 한 실시예의 블록도를 도시한다. 도시된 바와 같이, 고정밀 수정 클럭 소스와 같은 외부 클럭(10)은 증대 입력 및 출력을 통하여 집적 회로(100)(100)상의 고정밀 발진기(12)에 접속된다. 오프-칩 수정(외부 클럭)(10)에 대한 인터페이스는 IC(100)에 대한 클럭으로 작용하도록 고정밀 발진기(12)에 필요한 고정밀 주파수 안정성을 제공한다. IC(100)상의 저전력 발진기(24)는 IC(100)에 추가의 온-칩 저전력 소스를 제공한다. 본 발명에 따라, 오프-칩 수정(또는 외부 클럭)과 조합하는 고정밀 발진기(12) 또는 저전력 발진기(24)는 프로그램 제어하에서 프로그램가능 프로세서(18)를 구동하도록 프로세서 클럭 소스로서 선택될 수 있다. 설명될 바와 같이, 제 1 모드에서 고정밀 및 안정성이 요구될 때, 고정밀 발진기(12) 및 외부 클럭(10)은 프로세서 클럭 소스로서 바람직하게 선택될 수 있다. 제 2 모드에서, 저전력이 요구될 때, 고정밀 발진기(12)가 디스에이블되고, 저전력 발진기(24)는 프로세서 클럭 소스로서 선택될 수 있다.

고정밀 발진기(12) 및 저전력 발진기(24) 모두는 두 클럭 입력 사이에서 전환되는 평활화 멀티플렉서(평활화 믹스)와 같은 멀티플렉서에 연결된다. 당업자들은 이해할 수 있는 바와 같이, 평활화 멀티플렉서는 입력이 변화하지 않는 시간에 입력 사이를 전환함으로써 불발사고있는 출력을 보장하는 추가적 제어 논리를 갖는 멀티플렉서 형태가 된다. 실제로, 본 발명의 평활화 믹스(14)의 동작은 다음과 같다. 평활화 믹스(14)의 멀티플렉서 선택 신호가 변경될 때, 제어 논리는 먼저 저전력 발진기(24)로부터 클럭 사이의 하강 에지를 기다린다. 일단 이러한 조건이 감지되면, 평활화 믹스(14)는, 고정밀 발진기(12)로부터 클럭 사이의 다음 하강 에지 바로 직후까지, 입력 사이의 전환을 대기한다.

평활화 믹스(14)는 고정밀 발진기(12)의 출력 사이클을 카운트하는 제 1 타이머 회로(타이머 A 회로)와 프로그램 프로세서(18) 모두에 출력한다. 프로그램가능 프로세서(18)에 대한 출력은 또한 제 2 타이머 회로(타이머 B 회로)(22)의 동기화기(20)로 입력된다. 타이머 B 회로(22)는, 일관된 타이밍 메커니즘을 제공하도록 타이머 B 회로(22)와 고정밀 발진기(12) 사이에 타이밍 관계를 결정하거나 그 주파수를 모니터링하기 위하여 저전력 발진기(24)의 출력 사이클을 카운트한다.

저전력 발진기(24)가 때때로 저정밀 타이밍 응용에 대한 프로세서 클럭 소스로서 이용되더라도, 저전력 발진기(24)는 또한 타이머 회로(22)를 클럭하는데 이용된다. 타이머 B 회로(22)는 또한 동기화기(20)를 통하여 프로그램가능 프로세서(18)로 출력되며, 프로그램가능 프로세서(18)는 프로그램가능 클럭 소스가 타이머 B 회로(22)에 비동기화되는 경우라도, 즉, 고정밀 발진기(12)가 프로세서 클럭 소스로 이용되는 경우라도, 타이머 B 회로(22)를 활용할 수 있다. 프로세서 클럭은 또한 두 소자 사이의 두 방향 접속 라인에 의해 도 1에 도시된 바와 같이 타이머 A 회로(16)를 클럭하는데 이용된다.

동작시 전력을 보존하기 위해, 고정밀 발진기(12)가 요구되지 않을 때, 프로그램가능 프로세서(18)는 디스에이블 신호(26)를 고정밀 발진기(12)로 출력한다. 하지만, 고정밀 발진기 클럭(외부 클럭(10)과 조합하는 고정밀 발진기(12))이 프로그램가능 프로세서(18)에 대한 타이밍 소스(타이머 A 회로에 대한 타이밍 소스를 포함)로서 요구될 때, 프로그램가능 프로세서(18)는 클럭선택 신호(27)를 멀티플렉서(14)로 전달하고, 고정밀 발진기는 선택되어 프로세서 클럭 소스로서 작용하도록 평활화 믹스(14)를 통해 프로그램가능 프로세서(18)로 전달된다. 고정밀 발진기(12)가 동작시에 있을 경우에도, 저전력 발진기(24)는 타이머 B 회로(22)의 클럭을 지속하며, 프로그램 제어하의 프로그램가능 프로세서(18)는 고정밀 클럭(외부 클럭(10)과 조합하는 고정밀 발진기(12))의 주파수와 관련하여 저전력 발진기(24)의 주파수를 효과적으로 측정할 수 있다. 프로그램가능 프로세서(18)는, 고정밀 발진기(12)와 저전력 발진기(24)의 출력 사이의 타이밍 관계를 식별하도록 타이머 A 회로(16) 및 타이머 B 회로(22)의 출력 사이클을 모니터링함으로써, 상술한 바를 달성한다.

이와 같이, 저전력 발진기(24)의 주파수가 결정되면, 프로그램가능 프로세서(18)는 고정밀 발진기(12)와 저전력 발진기(24)간 클럭 사이클의 어떠한 차이도 고려하도록 타이밍 관계를 사용한다. 특히, 이러한 타이밍 관계의 사용은, 저전력 발진기(24)가 프로세서 클럭의 타이밍 소스로서 선택되고, 고정밀 발진기(12)가 전력을 보존하기 위해 디스에이블 신호(26)를 통하여 디스에이블되는 경우라도, 보다 높은 정확도로 시스템이 작동될 수 있게 한다.

종래 기술의 접근과는 대조적으로, 프로그램가능 프로세서(18)는 고정밀 발진기(12)로 다시 전환하기 위한 기간의 카운트를 조절하도록 타이밍 관계를 사용한다. 이러한 접근은 동기화에 대한 필요성을 줄이거나 제거할 수 있다. 실제로, 타이밍 관계는 다음과 같은 본 발명에 이용될 수 있다. 프로그램가능 프로세서(18)는 원하는 중지 시간 Z의 부분인 소정의 기간 X를 카운트 아웃하도록 타이머 A 회로(16)를 설정할 수 있으며, 여기서, $Z = X \cdot Y$. 타이머 A 회로(16)가 기간 X를 카운트 아웃하는 동안, 타이머 B 회로(22)는 무기한으로 카운트하도록 인에이블된다. 타이머 A 회로(16)가 기간 X의 카운트를 완료했을 때, 타이머 B 회로(22)는 LPC로 표시된 대응하는 사이클이 얼마나 많이 기간 X 동안 저전력 발진기(24)로부터 타이머 B 회로(22)에 카운트됐는지를 결정하도록 검사된다. 프로그램가능 프로세서(18)가 정지 모드에 있을 때, 타이머 B 회로(22)는 중지 시간 Z를 카운트 아웃하도록 프로그램된다. 특히, 타이머 B 회로(22)는 프로그램가능 프로세서(18)를 작동하기 전에 저전압 발진기(24)의 LPC 사이클을 카운트 아웃하도록 프로그램된다.

도 2는 본 발명의 제 2 실시예를 도시하며, 여기에서는 클럭을 가능한 만큼 많은 논리로 더 오프셋으로 하여, 다시합해서 정지클럭 능력을 제공함으로써 전력이 절약된다. 하지만, 정지클럭 모드에 대하여 보다 심층적에 의하면, 클럭을 다시 더 온하는 효과적인 방법만 필요하게 된다. 따라서, 본 발명의 제 2 실시예는 타이머 B 회로(22)와 함께 동일한 저전력 발진기(24)를 사용하여, 프로그램가능 프로세서(18)로 하여금 정지클럭 제어 신호(34)를 통하여 가능한 만큼 많은 논리로 클럭을 효과적으로 더 오프셋하게 한다. 특히, 프로그램가능 프로세서(18)는 단지 원하는 기간을 카운트 아웃하도록 타이머 B 회로(22)를 구성할 수 있다. 고정밀 발진기(12)는 프로그램가능 프로세서(18)로부터 디스에이블 제어 신호(26)를 통하여 더 오프셋되며, 정지점정 제어 신호(32)를 통하여 기능을 중지한다. 타이머 B 회로(22)는 그 클럭 소스로서 저전력 발진기(24)를 사용하여 작동하므로, 모든 다른 회로가 셋 되는 동안에도 저전력 모드에서 작

동을 지속한다. 타이머 B 회로(22)가 이전에 기술된 기간을 카운트 마칠 때, 시스템 클럭은 정지제거 제어 신호(36)를 통하여 다시 턴 온되고, 프로그램가능 프로세서(18)는 진행할 수 있다.

본 발명의 응용의 한 예는 압수 있는 바와 같이 보다 긴 배터리 수명의 이점을 갖는 무코드 전화 핸드셋이 된다. 널리 공지된 바와 같이, 대부분의 시간 동안 이들 핸드셋은 단순히 호출 수신 또는 송신을 대기한다. 이러한 대기 시간은 단순히 수신 신호가 존재하는 지를 검출하도록 베이스 스테이션을 주기적으로 폴링하게 된다. 폴링 동작 동안에, 본 발명의 프로그램가능 프로세서(18)는 시스템 클럭으로서 고정밀 발진기(12)(외부 클럭을 포함)를 이용하며, 다른 정규 동작에 부가하여, 프로그램가능 프로세서(18)는 저전력 발진기(24)의 현재 주파수를 측정하도록 타이머 A 및 B(16 및 22) 각각을 이용한다. 베이스 스테이션의 폴링을 끝마칠 때, 프로그램가능 프로세서(18)는 다음 폴링 기간 이전의 휴지시간을 카운트 마칠 수 있도록 타이머 B 회로(22)를 설정한다. 다음, 프로그램가능 프로세서(18)는 프로세서 클럭을 저전력 발진기(18)로 전환하고, 고정밀 발진기(12) 및 프로세서 클럭을 이전에 기술된 바와 같이 디스에이블시킨다. 이러한 디스에이블 기간 동안에, 외부 처리 감지기(external event sensor)(28)는 사용자 처리(user event)가 발생하는 경우, 실제로, 키패드 버튼을 누르는 경우, 클럭을 다시 턴 온하게 한다. 그러한 외부 처리가 발생하지 않는다면, 타이머 B 회로(22)는 이전에 결정된 기간이 경과하자마자 클럭을 턴 온한다.

도 2에 도시된 바와 같이, 외부 처리 모니터(28)의 출력 및 타이머 B 회로(22)로부터의 정지제거 신호(36)는 OR 논리 게이트(29)에서 결합된다. OR 논리 게이트(29)로부터의 출력은 설정-재설정(SR) 래치가 될 수 있는 제어기(30)에 제공된다. 따라서, 외부 처리(실제로, 키패드 버튼을 누름) 또는 이전에 결정된 기간의 만료는 제어기를 하이 상태로 두며, 프로세서 클럭을 다시 턴 온하게 한다. 정지설정 제어 신호(32)는 프로그램가능 프로세서(18)로부터 제어기(30)로 출력되며, 이어서 정지클럭 제어 신호(34)를 평활화 맥스(14)에 출력한다. 결과적으로, 제어기는, 프로세서 클럭을 턴 온하고 주어진 조건에 따라 턴 오프하도록 적절한 신호를 평활화 맥스(14)에 제공하는데 이용된다.

본 발명이 단지 두 실시예를 사용하여 설명되었지만, 당업자들은 본 발명을 활용하여 다른 방법 및 구성을 고안할 수 있을 것이다. 따라서, 본 발명은 상술된 설명에 제한되어서는 안되며, 단지 다음의 청구범위에 의해서만 한정되어야 한다.

발명의 요약

상술한 바를 통하여 종래 기술의 장치 및 방법의 단점을 극복한다.

(57) 청구의 범위

청구항 1. 집적 회로용 저전력 고정밀 클럭 회로에 있어서: 저전력 발진기; 외부의 고정밀 클럭 소스에 결합되도록 적합한 고정밀 발진기; 상기 고정밀 발진기의 클럭 사이클을 카운트하도록 동작하는 제 1 타이머 회로; 및 상기 저전력 발진기의 클럭 사이클을 카운트하도록 동작하는 제 2 타이머 회로; 및 상기 저전력 발진기 및 상기 고정밀 발진기에 결합되어, 제 1 모드에서는 프로세서 클럭 소스로서 상기 고정밀 발진기를 선택하고 제 2 모드에서는 상기 프로세서 클럭 소스로서 상기 저전력 발진기를 선택하도록 동작하는 프로그램가능 프로세서로서, 상기 고정밀 발진기와 상기 저전력 발진기 간의 타이밍 관계를 식별하도록 상기 제 1 및 제 2 타이머 회로에 의해 카운트된 상기 클럭 사이클을 모니터링하는, 상기 프로그램가능 프로세서가 구비하는 저전력 고정밀 클럭 회로.

청구항 2. 제 1 항에 있어서, 상기 프로그램가능 프로세서는 소정의 조건 동안에 상기 고정밀 발진기를 디스에이블하도록 동작하며, 상기 고정밀 발진기가 디스에이블되고 상기 저전력 발진기가 상기 프로세서 클럭 소스로서 동작할 때, 상기 저전력 발진기와 상기 고정밀 발진기 간의 타이밍 차이에 대한 소정 간격 조절에 상기 타이밍 관계를 사용하는, 저전력 고정밀 클럭 회로.

청구항 3. 제 1 항에 있어서, 수정-기준 클럭인 상기 외부의 고정밀 클럭 소스를 더 구비하는, 저전력 고정밀 클럭 회로.

청구항 4. 제 1 항에 있어서, 멀티플렉서를 더 구비하며, 상기 저전력 발진기 및 상기 고정밀 발진기가 상기 프로그램가능 프로세서에 멀티플렉서되는, 저전력 고정밀 클럭 회로.

청구항 5. 제 4 항에 있어서, 상기 멀티플렉서는 돌발장애가 없는 방식으로 상기 저전력 발진기 및 상기 고정밀 발진기로부터의 입력 사이에서 전환하기 위한 논리 게이트를 갖는 평활화 멀티플렉서인, 저전력 고정밀 클럭 회로.

청구항 6. 저전력 고정밀 클럭을 제공하는 집적 회로에 있어서: 저전력 발진기; 외부의 고정밀 클럭 소스에 접속되도록 적합한 고정밀 발진기; 상기 고정밀 발진기의 클럭 사이클을 카운트하도록 동작하는 제 1 타이머 회로; 및 상기 저전력 발진기의 클럭 사이클을 카운트하도록 동작하는 제 2 타이머 회로; 및 상기 저전력 발진기 및 상기 고정밀 발진기에 접속되어, 제 1 모드에서는 프로세서 클럭 소스로서 상기 고정밀 발진기를 선택하고 제 2 모드에서는 상기 프로세서 클럭 소스로서 상기 저전력 발진기를 선택하도록 동작하는 프로그램가능 프로세서로서, 상기 고정밀 발진기와 상기 저전력 발진기 간의 타이밍 관계를 식별하도록 상기 제 1 및 제 2 타이머 회로에 의해 카운트된 상기 클럭 사이클을 모니터링하는 상기 프로그램가능 프로세서가 구비하는 집적 회로.

청구항 7. 제 6 항에 있어서, 상기 프로그램가능 프로세서는 소정의 조건 동안에 상기 고정밀 발진기를 디스에이블하도록 동작하며, 상기 고정밀 발진기가 디스에이블되고 상기 저전력 발진기가 상기 프로세서 클럭 소스로서 동작할 때, 상기 저전력 발진기와 상기 고정밀 발진기 간의 타이밍 차이에 대한 소정 간격 조절에 상기 타이밍 관계를 사용하는, 집적 회로.

청구항 8. 제 6 항에 있어서, 수정-기준 클럭인 상기 외부의 고정밀 클럭 소스를 더 구비하는, 집적 회로.

청구항 9. 제 6 항에 있어서, 멀티플렉서를 더 구비하며, 상기 저전력 발진기 및 상기 고정밀 발진기가

상기 프로그램가능 프로세서에 멀티플렉서되는, 집적 회로.

청구항 10. 제 9 항에 있어서, 상기 멀티플렉서는 풀바탕애가 없는 방식으로 상기 저전력 발진기 및 상기 고정밀 발진기로부터의 입력 사이에서 전환하기 위한 논리 게이트를 갖는 평활화 멀티플렉서인, 집적 회로.

청구항 11. 제 9 항에 있어서, 상기 제 2 타이머 회로는 소정의 간격으로 상기 프로세서 클럭 소스로서 상기 고정밀 발진기를 인에이블하도록 논리 회로를 통해 상기 멀티플렉서에 정지제거 신호를 제공하는, 집적 회로.

청구항 12. 저전력 고정밀 클럭을 제공하는 집적 회로에 있어서: 저전력 발진기; 외부의 고정밀 클럭 소스에 접속되도록 적합한 고정밀 발진기; 상기 고정밀 발진기의 클럭 사이클을 카운트하도록 동작하는 제 1 타이머 회로 및 상기 저전력 발진기의 클럭 사이클을 카운트하도록 동작하는 제 2 타이머 회로; 상기 저전력 발진기 및 상기 고정밀 발진기에 접속되며, 제 1 모드에서는 프로세서 클럭 소스로서 상기 고정밀 발진기를 선택하고 제 2 모드에서는 상기 프로세서 클럭 소스로서 상기 저전력 발진기를 선택하도록 동작하는 프로그램가능 프로세서로서, 상기 고정밀 발진기와 상기 저전력 발진기 간의 타이밍 관계를 식별하도록 상기 제 1 및 제 2 타이머 회로에 의해 카운트된 상기 클럭 사이클을 모니터링하는 상기 프로그램가능 프로세서; 및 상기 저전력 발진기 및 상기 고정밀 발진기가 상기 프로그램가능 프로세서에 멀티플렉싱되는 멀티플렉서를 구비하며; 상기 프로그램가능 프로세서는 소정의 조건 동안에 상기 고정밀 발진기를 디스에이블하도록 동작하고, 상기 고정밀 발진기가 디스에이블되고 상기 저전력 발진기가 상기 프로세서 클럭 소스로서 동작할 때 상기 저전력 발진기와 상기 고정밀 발진기 간의 타이밍 차이를 조절하도록 상기 타이밍 관계를 사용하는, 상기 제 2 타이머 회로는 소정의 간격으로 상기 프로세서 클럭 소스를 인에이블하도록 논리 회로를 통해 상기 멀티플렉서에 정지제거 신호를 제공하는, 집적 회로.

청구항 13. 제 12 항에 있어서, 상기 논리 회로를 통하여 상기 제 2 타이머 회로 및 상기 멀티플렉서에 접속된 외부의 처리 모니터를 더 구비하며, 상기 외부의 처리 모니터는 상기 프로그램가능 프로세서에 대해 상기 프로세서 클럭 소스를 인에이블하도록 신호를 제공하는, 집적 회로.

청구항 14. 제 13 항에 있어서, 상기 논리 회로는 상기 제 2 타이머 회로에 접속된 제 1 타이머와 상기 외부의 처리 모니터에 접속된 제 2 입력을 갖는 논리 OR 게이트, 및 상기 OR 게이트의 출력과 상기 프로그램가능 프로세서간에 접속된 제어기를 구비하는, 집적 회로.

청구항 15. 제 14 항에 있어서, 상기 제어기는 설정-재설정 래치인, 집적 회로.

청구항 16. 제 14 항에 있어서, 상기 프로그램가능 프로세서는 상기 프로그램가능 프로세서를 턴 오프하도록 상기 제어기에 정지설정 신호를 제공하며, 상기 제어기는 상기 프로세서 클럭 소스로서 상기 고정밀 발진기를 턴 오프하도록 상기 멀티플렉서에 정지클럭 신호를 제공하는, 집적 회로.

청구항 17. 집적 회로를 클럭킹하는 방법에 있어서, 고정밀 발진기를 외부의 고정밀 클럭 소스에 결합하는 단계; 프로그램가능 프로세서를 통하여 프로세서 클럭 소스로서 상기 고정밀 발진기와 저전압 발진기 사이를 선택하는 단계; 제 1 타이머 회로로 상기 고정밀 발진기의 클럭 사이클을 카운트하고, 제 2 타이머 회로로 상기 저전력 발진기의 클럭 사이클을 카운트하는 단계; 및 상기 고정밀 발진기와 상기 저전력 발진기 사이의 타이밍 관계를 식별하도록, 상기 고정밀 발진기가 인에이블되고 상기 제 1 및 제 2 타이머 회로를 모니터링하는 단계를 구비하는 집적 회로 클럭킹 방법.

청구항 18. 제 17 항에 있어서, 상기 프로그램가능 프로세서를 통하여 소정의 조건으로 상기 고정밀 발진기를 디스에이블하는 단계; 및 상기 고정밀 발진기가 디스에이블되고 상기 저전력 발진기가 상기 프로세서 클럭 소스로서 동작할 때 상기 저전력 발진기와 상기 고정밀 발진기 사이의 타이밍 차를 조절하도록 상기 타이밍 관계를 사용하는 단계를 더 구비하는 집적 회로 클럭킹 방법.

청구항 19. 제 17 항에 있어서, 상기 결합 단계는 상기 고정밀 발진기를 수정-기준 클럭에 결합하는 단계를 구비하는 집적 회로 클럭킹 방법.

청구항 20. 제 17 항에 있어서, 소정의 간격으로 상기 프로그램가능 프로세서에 대하여 상기 프로세서 클럭 소스를 인에이블하도록 논리 회로를 통해 상기 제 2 타이머 회로로부터 상기 멀티플렉서에 정지제거 신호를 제공하는 단계를 더 구비하는 집적 회로 클럭킹 방법.

청구항 21. 제 20 항에 있어서, 상기 논리 회로를 통하여 상기 멀티플렉서에 결합된 외부 처리 모니터를 통해 상기 프로그램가능 프로세서에 대하여 상기 프로세서 클럭 소스를 인에이블하는 단계를 더 구비하는 집적 회로 클럭킹 방법.

청구항 22. 제 21 항에 있어서, 상기 프로그램가능 프로세서를 턴 오프하도록 상기 프로그램가능 프로세서를 통해 상기 논리 회로의 제어기에 정지설정 신호를 제공하는 단계; 및 상기 프로세서 클럭 소스를 턴 오프하도록 상기 제어기를 통하여 상기 멀티플렉서에 정지클럭 신호를 제공하는 단계를 더 구비하는 집적 회로 클럭킹 방법.

도면

도면1



